



Norwegian University of Science and Technology  
Faculty of Information Technology, Mathematics and Electrical Engineering  
The Department of Computer and Information Science

# TDT4160

## DATAMASKINER GRUNNKURS

### EKSAMEN

9. DESEMBER, 2009, 09:00–13:00

**Kontakt under eksamen:**

Gunnar Tufte 73590356

**Tillatte hjelpemidler:**

D.

Ingen trykte eller håndskrivne hjelpemiddel er tillat.

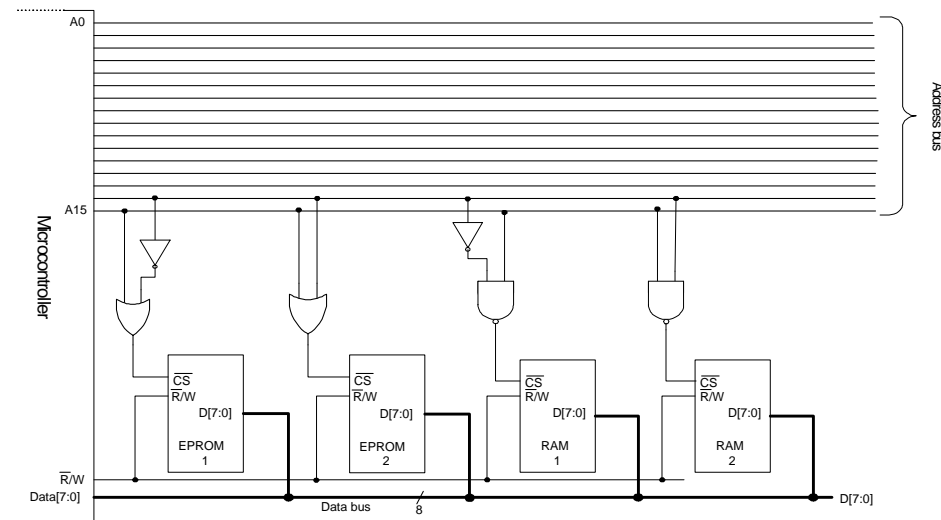
Enkel godkjent kalkulator er tillete.

**Målform:**

Nynorsk

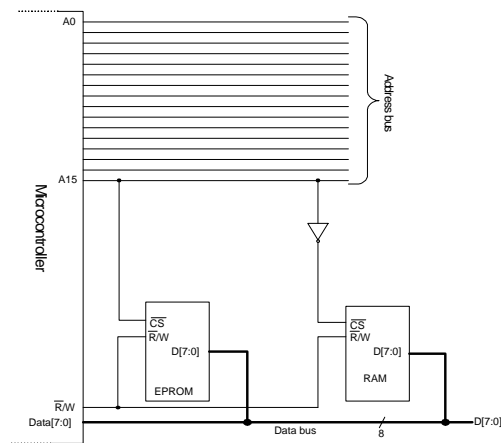
## OPPGÅVE 1: DIGITALTLOGISKNIVÅ (25% (10% PÅ A OG C; 5% PÅ B))

- a. I figur 1 er EPROM og RAM kopla til ein felles buss. Finn adresseområde for EPROM og RAM og teikn minnekart. Alle einingane har aktivt lågt (logisk "0") CS (Chip Select) signal.



Figur 1: Adressedekoding.

- b. I eit forsøk på optimalisering endrast systemet til å nytte dobbelt så store minnebrikker (EPROM og RAM). Det nye systemet er vist i figur 2. Teikn minnekart for det nye systemet.



Figur 2: Adressedekoding.

- c. Har optimaliseringsforsøket nokon innverknad på utføring av program som opphavleg var skrevet (og kompilert) for systemet vist i figur 1? Grunngi svaret.

## OPPGÅVE 2: MIKROARKITEKTUR OG MIKROINSTRUKSJONAR (30% (5% PÅ A OG C; 10% PÅ B OG D))

Bruk vedlagte diagram og tabellar for IJVM til å løyse oppgåvene.

- a. Register PC har verdien hex(F0F0F00000) og MPC-registeret verdien hex(08). Kva brukast desse registera til? Kva angir verdiane?
- b. Kva er minimum mengd mikroinstruksjonar ein må bruke for å kopiere verdien i H-registeret til alle desse registera: OPC, TOS, CPP, LV, SP, PC, MDR og MAR? Grunngi svaret.
- c. Lag mikroinstruksjon(ar) for følgjande IJVM-operasjon:  
MAR = MDR + PC.

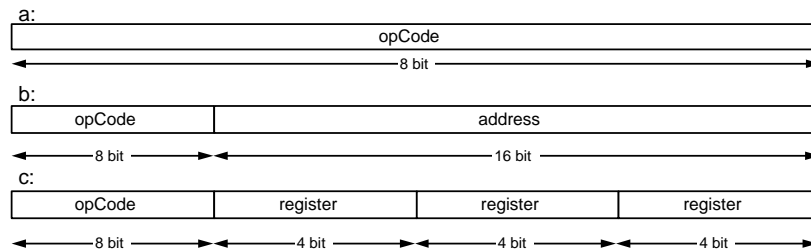
Sjå vekk frå Addr- og J-felte i mikroinstruksjonsformatet. Angi korrekte bit for ALU, C, Mem og B gitt i Figur 7.

- d. 1 Lag mikroinstruksjon(ar) som kan teste om innhaldet i OPC  $\geq$  MDR.  
2 Kva signal i mikroarkitekturen angir resultatet av testen?

Sjå vekk frå Addr- og J-felta i mikroinstruksjonsformatet. Angi korrekte bit for ALU, C, Mem og B gitt i Figur 7.

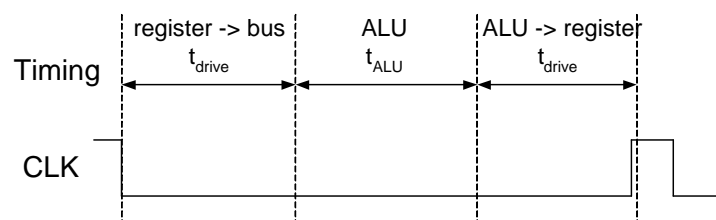
### OPPGÅVE 3: ISA-NIVÅ OG AUKE YTING (30% (10% PÅ A OG C; 5% PÅ B OG D))

I ein tenkt arkitektur har ein definert eit format for instruksjonar som vist i figur 3. Det er definert at det eksisterar 16 brukarregister. Feltet register (figur 3 b) angir kva brukarregister som nyttast.

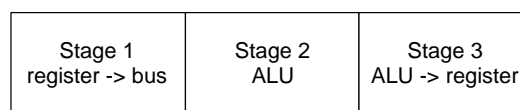


Figur 3: Instruksjonar.

- Kva type adressering kan ein utifrå figuren anta at nyttast? Forklar korleis adresseringen nyttast.
- Kva er det maksimale adresserommet for denne arkitekturen? Grunngi svaret.
- Kan ein seie noko om ordbredda (mengd bit maskina opererer på)? Grunngi svaret.
- I ein versjon av maskina er det ikkje samleband (pipeline) i instruksjonsutføringa (datapath). Tidsbruka for å køyre ein instruksjon i denne maskina er vist i figur 4(a). For å auke ytinga ønskjer ein å innføre samleband. Det vert laga ein versjon med eit samleband med tre steg. Samlebandet er vist i figur 4(b).



(a) Datapath tidsbruk utan samleband.



(b) Samleband med tre steg.

Figur 4:

Bruk figur 4(a) og 4(b) til å forklare korleis innføring av samlebandet påverkar klokkefrekvens og ILP (Instruction Level Parallelism).

## OPPGÅVE 4: DIVERSE (15%)

Finn rett svaralternativ for oppgåvene. Korrekte svar gir 3% utteljing, feil svar gir -0.5% og veit ikkje (ikkje svar/fleire svar) gir inga utteljing.

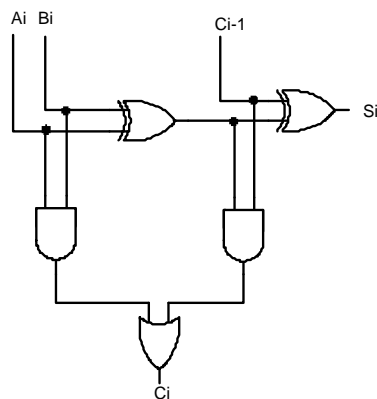
a. Er det mogleg å kopiere innhaldet i MAR til PC? Sjå figur 6.

- 1) Ja.
- 2) Nei.

b. Kva påstand er **ikkje** korrekt for ein ein-brikke multiprosessor (CMP) .

- 1) Kan ha felles hovudminne.
- 2) Kan dele cache.
- 3) Er av type homogen eller heterogen.
- 4) Kan berre nytte ILP som parallelliserings strategi.

c. Figur 5(a) har ein funksjon som gitt i sanningstabellen i figur 5(b).



(a) Mystisk dings.

Ai	Bi	Ci-1	Si	Ci
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

(b) Sanningstabell for mystisk dings

Figur 5:

- 1) Korrekt.
- 2) Ikkje korrekt.

d. Ved å auke mengda samlebandstrinn aukar ILP.

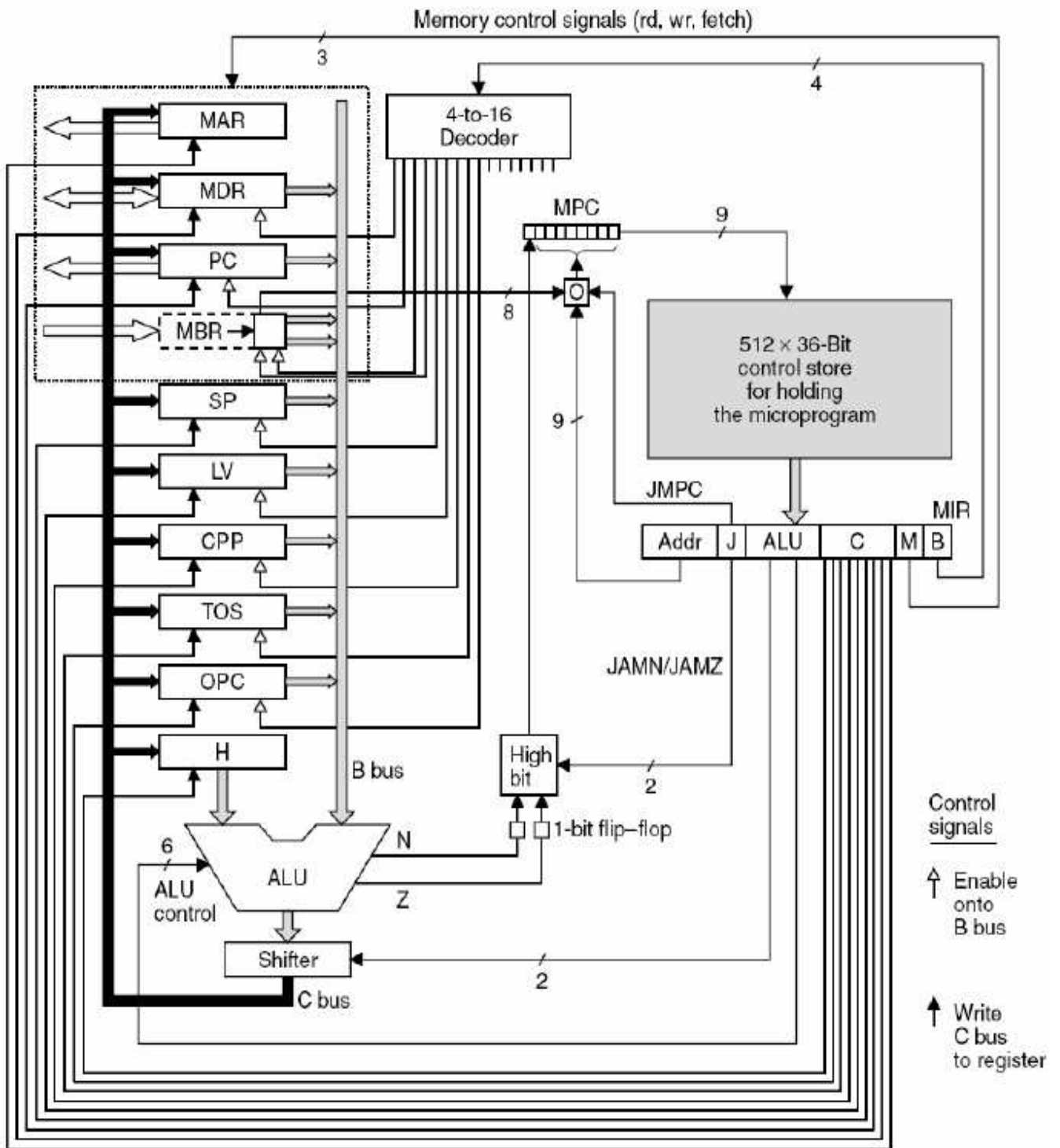
1) Korrekt.

2) Ikkje korrekt.

e. Under følgjer ein rekke påstandar om datamaskinkomponentar. Kva påstand er korrekt?

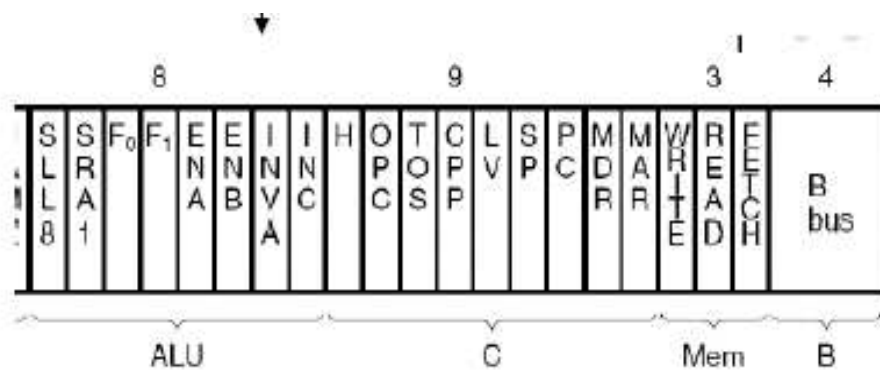
- 1) Multipleksa adresse/data buss halverar adresserommet samanlikna med system med dedikerte adresse- og databusar.
- 2) Ein prosessor som har ein ALU som kan utføre NAND-operasjon, kan programmerast til å utføre alle logiske operasjonar.
- 3) PROM og flash-minne kan slettast og programmerast fleire gonger.
- 4) Ein dekodarkrets har fleire inngangar enn utgangar.

# IJVM vedlegg



Figur 6: Blokkdiagram (IJVM).





B bus registers

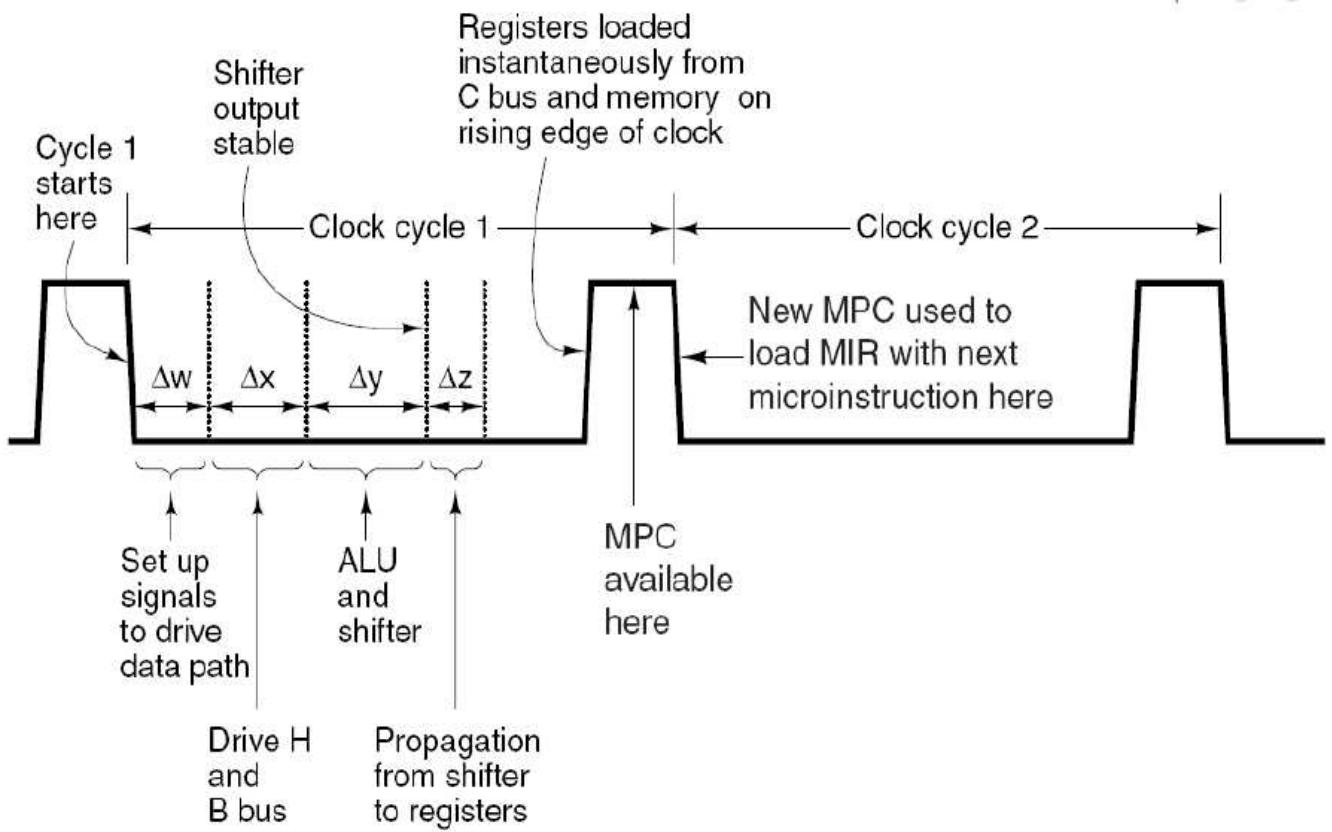
- |          |           |
|----------|-----------|
| 0 = MDR  | 5 = LV    |
| 1 = PC   | 6 = CPP   |
| 2 = MBR  | 7 = TOS   |
| 3 = MBRU | 8 = OPC   |
| 4 = SP   | 9-15 none |

Figur 7: Mikroinstruksjonsformat (IJVM).

$F_0$	$F_1$	ENA	ENB	INVA	INC	Function
0	1	1	0	0	0	A
0	1	0	1	0	0	B
0	1	1	0	1	0	$\overline{A}$
1	0	1	1	0	0	$\overline{B}$
1	1	1	1	0	0	A + B
1	1	1	1	0	1	A + B + 1
1	1	1	0	0	1	A + 1
1	1	0	1	0	1	B + 1
1	1	1	1	1	1	B - A
1	1	0	1	1	0	B - 1
1	1	1	0	1	1	-A
0	0	1	1	0	0	A AND B
0	1	1	1	0	0	A OR B
0	1	0	0	0	0	0
1	1	0	0	0	1	1
1	1	0	0	1	0	-1

SLR1	SLL8	Function
0	0	No shift
0	1	Shift 8 bit left
1	0	Shift 1 bit right

Figur 8: Funksjonstabell for ALU (IJVM).



Figur 9: Timingdiagram (IJVM).