



# NTNU

Det skapende universitet

Side 1 av 13

INSTITUTT FOR ELEKTRONIKK OG TELEKOMMUNIKASJON

## EKSAMEN I FAG TFE4101 KRETS- OG DIGITALTEKNIKK

**Faglig kontakt:** Peter Svensson (1–3.5) / Kjetil Svarstad (3.6–4)

**Tlf.:** 995 72 470 / 458 54 333

**Eksamensdato:** Mandag 25. mai 2016

**Eksamenstid (fra - til):** 0900-1300

**Hjelpemidler:** D–Ingen trykte eller håndskrevne hjelpemidler er tillatt.  
Bestemt, enkel kalkulator tillatt.

**Annen informasjon:** Maksimalt antall poeng for hver oppgave er gitt i parentes.  
Maksimalt antall poeng oppnåelig totalt: 100.

Sensur faller innen 14. juni 2016.

**Målform:** Bokmål

**Antall nummererte sider:** 13

**Antall unummererte sider i vedlegg:** 0

**Kontrollert av:**

---

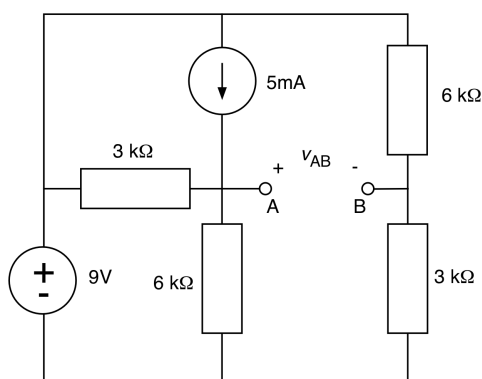
Dato

Sign

*Tom side*

## Oppgave 1 (15%)

- a) (5%) I kretsen vist i Figur 1 er spenningen  $v_{AB}$  tegnet inn.



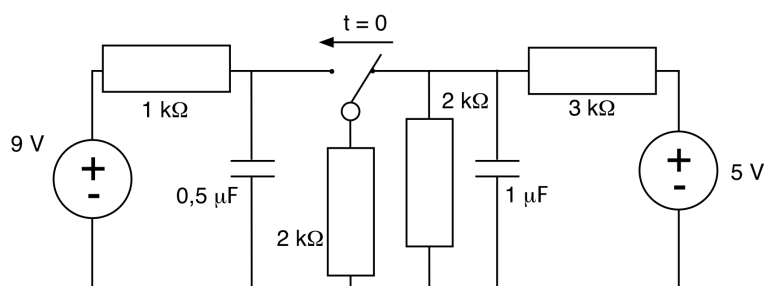
FIGUR 1 – Krets for oppgave 1

- Beregn verdien på spenningen  $v_{AB}$ .
  - Finn Thevenin-resistansen for denne kretsen, sett fra terminalene A og B.
- b) (5%) Hvis kretsen kortsluttes mellom A og B, hva er da effektene som leveres eller forbrukes av de to kildene?
- c) (5%) Nå kobler vi til en resistans,  $R_{AB}$ , mellom A og B, og velger dens verdi slik at vi får maksimal effektutvikling i den resistansen.
- Hvilken verdi må  $R_{AB}$  ha?
  - Hvor mye effekt vil da utvikles i  $R_{AB}$ ?

## Oppgave 2 (15 %)

Figur 2 viser en RC-krets, hvor begge kondensatorene er helt oppladet frem til tiden  $t = 0$ , når bryteren slås over til den venstre posisjonen.

- a) (5%) Hva er de to spenningene over de to kondensatorene, som funksjon av tiden? Du må selv definere polariteten.
- b) (5%) Hva er de to strømmene gjennom de to kondensatorene, som funksjon av tiden? Du må selv definere polariteten ved å tegne strømpil.
- c) (5%) Hvor mye energi er lagret sammen i de to kondensatorene, ved disse to tidpunktene:



FIGUR 2 – Krets for oppgave 2

- Like før tiden  $t = 0$ ?
- Lang tid etter at bryteren er koblet om (til venstre)?

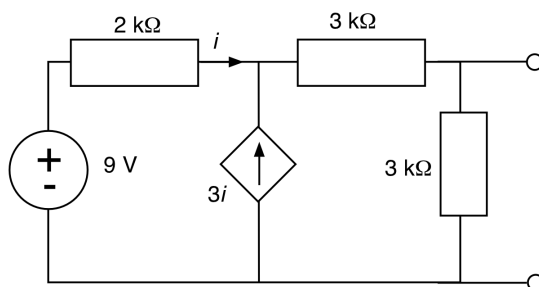
### Oppgave 3 (40%)

Nedenfor er gitt 10 spørsmål i form av 3 påstander eller svaralternativer A, B eller C. Bare en av påstandene er riktig. Kryss av for riktig svar A, B eller C i tabellen bak i oppgavesettet.

**OBS! Tabellsiden må leveres inn som en del av besvarelsen!**

Riktig svar gir 4 poeng, manglende svar gir 0 poeng, og galt svar gir -2 poeng. Flere svar på samme spørsmål regnes som manglende svar og gir 0 poeng. Ved feil utfyllt svar, fyll den feilsvarte ruten helt, og sett kryss i riktig rute.

- 3-1 I Figur 3 er det vist en elektrisk krets. Sett fra klemmene A-B vil kretsen ha en Thevenin-ekvivalent med en Thevening-spenning på:



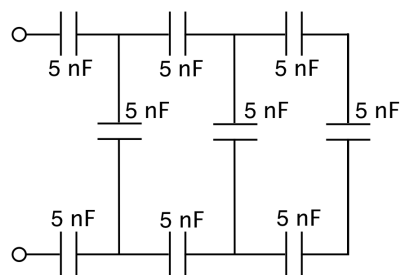
FIGUR 3 – Krets for oppgave 3-1

- A. 1.08 V
- B. 3.38 V
- C. 4.15 V

3-2 Hva er Thevenin-resistansen for Thevenin-ekvivalenten til kretsen i Figur 3?

- A. 1.5 k $\Omega$
- B. 1.62 k $\Omega$
- C. 1.88 k $\Omega$

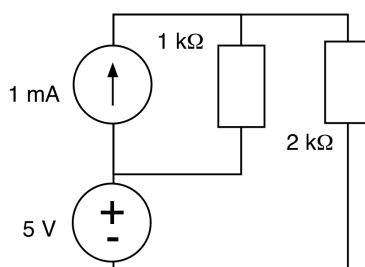
3-3 Hva er den ekvivalente kapasitansverdien hvis kretsen i Figur 4 erstattes med en kondensator?



FIGUR 4 – Krets for oppgave 3-3

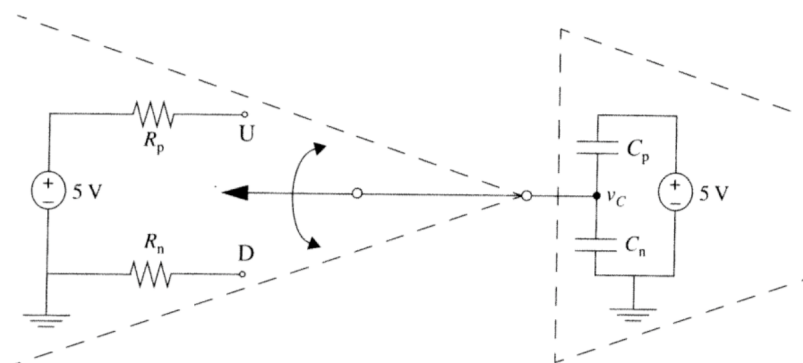
- A. 1.829 nF
- B. 2.500 nF
- C. 13.667 nF

- 3-4 I kretsen i Figur 5 er det to kilder som produserer eller forbruker effekt. Hvilken påstand er sann?



FIGUR 5 – Krets for oppgave 3-4

- A. Strømkilden leverer effekt og spenningskilden forbruker effekt  
 B. Spenningskilden leverer effekt og strømkilden forbruker effekt  
 C. Begge kildene leverer effekt
- 3-5 I Figur 6 ser vi to CMOS-inverterer som er koblet sammen. Komponentverdiene er  $R_n = R_p = 1 \text{ k}\Omega$ ,  $C_n = C_p = 1 \text{ nF}$ . Hva er tidskonstanten for RC-kretsen som resulterer når bryteren slås over i posisjon U?



FIGUR 6 – Krets for oppgave 3-5

- A.  $0.5 \mu\text{s}$   
 B.  $1 \mu\text{s}$   
 C.  $2 \mu\text{s}$
- 3-6 Gitt tre heltall  $A = 366_{(7)}$ ,  $B = 366_{(8)}$ , og  $C = F0_{(16)}$ . Vi betrakter nå disse tre tallene som 8-bit tall uten fortegn, og definerer oss tre nye tall  $X = A \& B$ ,  $Y = A | C$ , og  $Z = B \oplus C$ . Her er '&' bitvis AND-operasjon, '|' bitvis OR-operasjon,

og ' $\oplus$ ' bitvis XOR-operasjon. Med bitvis menes at operasjonen utføres mellom hvert bit i hver av de to operandene slik at feks.  $0101 \oplus 1100 = 0100$ . Finn X, Y og Z, og bestem hvilken av følgende påstander som *ikke* er riktig:

- A. Summen av to av tallene X, Y og Z er  $200_{(10)}$ .
- B. To av tallene X, Y og Z er mindre enn  $2000_{(4)}$ .
- C. To av tallene X, Y og Z er partall.

3-7 Gitt tre 4-bit 2's-komplement tall  $A = 1010_2$ ,  $B = 0011_2$ , og  $C = 1101_2$ . Hvilke av de tre følgende påstandene er *ikke* riktig:

- A. A er større enn C.
- B. Operasjonen  $A + C$  vil gi overflyt («overflow»).
- C. Operasjonen  $A + B$  vil ikke gi overflyt.

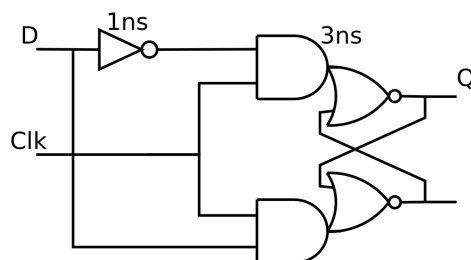
		CD			
		00	01	11	10
AB	00				1
	01				1
	11				1
	10	1	1	1	

FIGUR 7 – Karnaugh-diagram med 4 variabler

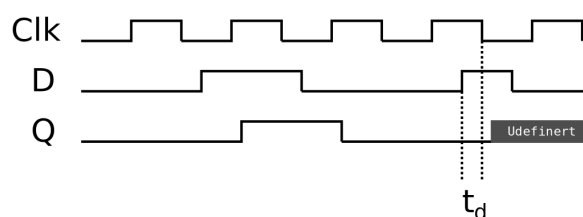
3-8 Gitt Karnaugh-diagrammet i Figur 7 som definerer funksjonen  $F$ . Finn hvilken av de tre boolske ligningene under som *ikke* er identisk med  $F$ .

- A.  $F = (A\bar{B} + C\bar{D})(\bar{A} + B + \bar{C} + D)$
- B.  $F = A\bar{B}(\bar{C} + CD) + (\bar{A} + AB)C\bar{D}$
- C.  $F = (A + C)(\bar{A} + \bar{B})(\bar{C} + \bar{D})$

3-9 Figur 8 viser kretsen for en klokket D-lås («gated D-latch») der det er angitt forsinkelse gjennom inverterer (1 ns) og den kombinerte AND-NOR-porten (3 ns). Figur 9 viser hvordan vi forventer utgangssignalet Q skal bli når Clk og D er som vist i tidsdiagrammet. I tidsdiagrammet er det angitt en tidsperiode  $t_d$  mellom stigende flanke på D og fallende flanke på Clk. Hvilken av de følgende påstander er korrekt for at man skal få Q slik som vist i tidsdiagrammet:

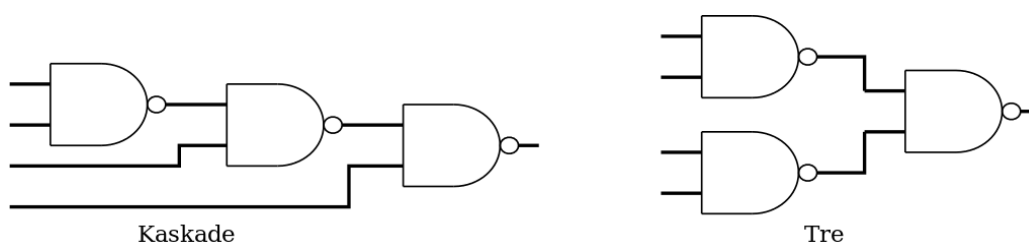


FIGUR 8 – Krets for klokket D-lås



FIGUR 9 – Tidsdiagram for klokket D-lås

- A. Forsinkelsen  $t_d \leq 4ns$
- B. Forsinkelsen  $t_d \leq 1ns$
- C. Forsinkelsen  $t_d \leq 7ns$



FIGUR 10 – Hypotetiske NAND4-kretser

**3-10** I ett kretsdesign har vi spesifikt bruk for en 4-inngangs NAND-port (NAND4), men slik er ikke tilgjengelig i vårt portbibliotek. Vi er derfor henvist til å realisere en slik NAND4-funksjon med 2-inngangs NAND-porter. I Figur 10 er det vist to forsøk på slik implementering, henholdsvis kalt «Kaskade» og «Tre». Hvilke av disse hypotetiske NAND4-kretsene er korrekte?

- A. Ingen.
- B. Begge.
- C. Bare «Kaskade».



## Oppgave 4 (30%)

a) (10%)

		A=0			
		BC			
		00	01	11	10
DE	00	1			
	01	1		1	1
	11	1	1	1	1
	10	1			

		A=1			
		BC			
		00	01	11	10
DE	00	1			1
	01		1	1	1
	11		1	1	1
	10	1			1

FIGUR 11 – Karnaugh-diagram med 5 variabler for funksjonen F

Karnaughdiagrammet i Figur 11 beskriver funksjonen F med sine 1-mintermer markert med 1 i diagrammet. Finn (i) alle primimplikanter for F, (ii) alle essensielle primimplikanter for F, og (iii) finn en ikke-redundant dekning for F.

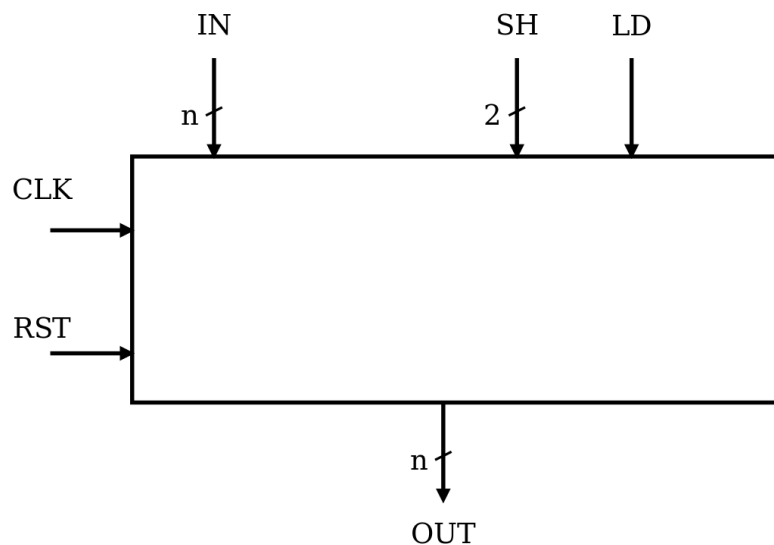
b) (4%)

Du skal realisere en 2:1-multiplekser («selector») og en 4:1-multiplekser ved hjelp av bare to-inngangs NAND og NOR-porter samt inverterer INV. For den første er det ett enkelt kontrollsignal S, mens det for den andre er to bit kontroll med signalene S1 og S2. Skriv først opp Boolsk ligning for de to multiplekserne, og realiser dem så med bare INV, NAND2 og NOR2.

c) (12%)

Vi skal nå designe en krets for å gjøre suksessiv skifting av bit med rotering. Systemet er vist som en toppnivå modul i Figur 12, og de forskjellige signalene er som følger:

- Modulen inneholder et n-bit skiftregister man kan anta er laget med D-vipper. Vi benevner dette med REG fra nå av.
- IN er et n-bit ord som skal kunne lastes parallelt inn i modulen, og som også er en parameter i skift-operasjonen (se under).
- SH er et 2-bit ord som bestemmer hvor mange plasser til venstre data i REG skal skiftes (med rotasjon) i skift-operasjonen.
- LD er et signal som styrer innlasting av et nytt dataord fra IN til REG i modulen.



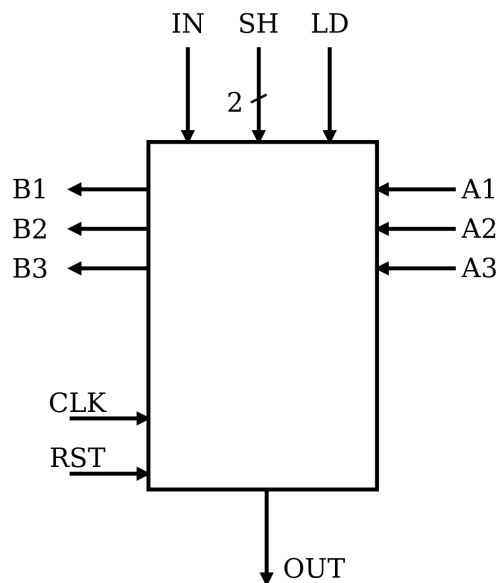
FIGUR 12 – Systemmodul for programmerbar skift-operasjon

- CLK er klokkesignal for REG.
- RST er resetsignal for REG.
- OUT er n-bit utgangssignal for det dataord som til enhver tid ligger i REG.

Funksjonen for denne skifteren med rotering er slik at for hver positive klokkeflanke skal følgende utføres:

- Når LD=1 skal IN lastes inn i REG.
- Når LD=0 og SH=00 skal verdien i REG beholdes.
- Når LD=0 og SH>00 skal REG venstreskiftes antall posisjoner angitt av SH, feks. hvis SH=11 (3), og REG=01000001, så vil etter neste klokke REG=00001010. Merk at de tre MSB'ene i dette tilfellet alle roteres rundt til LSB i REG. Samme gjelder for SH=10 og SH=01, bare for henholdsvis 2 og 1 posisjon.
- Etter klokke skal OUT ha den nye verdien i REG etter skifting.

Vi ser at funksjonen er den samme for hvert bit i n-bit ordet i REG, og vil derfor realisere en 1-bit modul som den angitt i Figur 13. Denne modulen skal så kunne kobles opp med n instanser for å lage en n-bit systemmodul. Vi ønsker også at modulene bare skal kobles til sin nærmeste nabo med A1 til B1, A2 til B2, og A3 til B3 slik at all viderekobling av de bit som skal skiftes eller roteres går via disse signalene. Da kan man også realisere rotering ved å koble B1, B2 og B3 fra MSB-modulen inn på A1, A2 og A3 på LSB-modulen. Realiser denne en-bits skifter-modulen vha. D-vippe med klokke og reset, de logiske portene i Tabell 1 og eventuelt de multiplekserne du realiserte i forrige deloppgave.



FIGUR 13 – En-bit skifter-modul

Funksjon	Navn	Innganger	Forsinkelse i nS
Bit-komplement	INV	1	1,2
OG-funksjon	AND2	2	3,6
Komplementert OG-funksjon	NAND2	2	2,4
ELLER-funksjon	OR2	2	3,6
Komplementert ELLER-funksjon	NOR2	2	2,4
Eksklusiv ELLER-funksjon	XOR2	2	4,6

TABELL 1 – Tilgjengelige logiske porter

d) (4%)

Gitt en 4-bits versjon av systemet fra forrige deloppgave så skal du nå finne kritisk sti. Beregn så forsinkelse på kritisk sti gitt forsinkelsene i Tabell 1 og eventuelt realiseringen av multiplekserne. D-vippene har intern forsinkelse  $T_{D \rightarrow Q} = 4,4 \text{ nS}$ , oppsett-tid  $T_{Setup} = 2,2 \text{ nS}$  og holdetid  $T_{Hold} = 1,8 \text{ nS}$ . Hva blir maksimal klokkefrekvens for systemet i dette tilfellet? Har antall bit noe å si for maksimal klokkefrekvens?

## Oppgitt formel - kretsdel

$$x(t) = x(t_{slutt}) + [x(t_0) - x(t_{slutt})] e^{-(t-t_0)/\tau}; \quad t \geq t_0$$

Vedlegg 1  
HUSK Å LEVERE  
DETTE ARKET SOM EN  
DEL AV BESVARELSEN

Kandidatnr: \_\_\_\_\_  
Emnekode: \_\_\_\_\_  
Side: \_\_\_\_\_ / \_\_\_\_\_

SPØRSMÅL NR.	A	B	C
3-1			
3-2			
3-3			
3-4			
3-5			
3-6			
3-7			
3-8			
3-9			
3-10			