Det skapende universitet

INSTITUTT FOR ELEKTRONIKK OG TELEKOMMUNIKASJON

KONTINUASJONSEKSAMEN I FAG TFE4101 KRETS- OG DIGITALTEKNIKK - LF

Faglig kontakt: Peter Svensson (1–3.5) / Kjetil Svarstad (3.6–4)
Tlf.: 995 72 470 / 458 54 333
Eksamensdato: Lørdag 13. august 2016
Eksamenstid (fra - til): 0900–1300

Hjelpemidler: D–Ingen trykte eller håndskrevne hjelpemidler er tillatt.
Bestemt, enkel kalkulator tillatt.

Annen informasjon: Maksimalt antall poeng for hver oppgave er gitt i parantes.
Maksimalt antall poeng oppnåelig totalt: 100.

Sensur faller innen 2. september 2016.

Målform: Bokmål
Antall nummererte sider: 20
Antall unummererte sider i vedlegg: 0

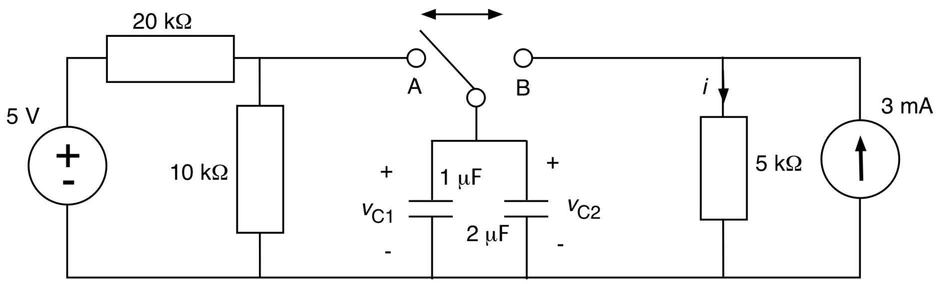
Kontrollert av:

Dato Sign

Tom side

Oppgave 1 (15%)

I kretsen vist i Figur 1 står bryteren i posisjon A frem til tiden $t = 0$, da den kobles over i posisjon B.



FIGUR 1 – Krets for oppgave 1

a) (5%) Beregn de to tidskonstantene for:

- Delen av kretsen som er til venstre, før tiden $t = 0$ (dvs med bryteren i posisjon A).
- Delen av kretsen som er til høyre, etter tiden $t = 0$ (dvs med bryteren i posisjon B).

LF:
Først kretsen til venstre, når bryteren er i posisjon A. Vi vil forenkle kretsen til en spenningskilde i serie med en motstand og en kondensator. De to kondensatorene kan enkelt erstattes med en ekvivalent kondensator:

$$C_{ekv} = 1\mu\text{F} + 2\mu\text{F} = 3\mu\text{F}$$

Så skal vi erstatte spenningskilden og de to motstandene med en Thevenin-ekvivalent. Først R_{Th}: deaktiver spenningskilden (dvs erstatt med kortslutning) og finn ekvivalent resistans sett fra C_{ekv},

$$R_{Th,venstre} = 20\text{k}\Omega // 10\text{k}\Omega = \frac{20 \cdot 10}{20 + 10}\text{k}\Omega = \frac{20}{3}\text{k}\Omega$$

Den første tidskonstanten blir da

$$\tau_{venstre} = \frac{20}{3}\text{k}\Omega \cdot 3\mu\text{F} = 20\text{ms}$$

LF:
Vi trenger ikke v_{Th} for å finne τ men vi beregner den for neste deloppgave: det er spenningen over kondensatorterminalene når kondensatorn er frakoblet. Da har vi en enkel krets med 5V-kilden i serie med to motstand og vi kan bruke spenningsdeling:

$$v_{Th,venstre} = 5V\frac{10}{10+20} = \frac{5}{3}V$$

Så tar vi kretsen til høyre, når bryteren er i posisjon B. Samme ekvivalente kondensator, men så vil vi erstatte strømkilden med en spenningskilde. Det er en enkel kildetransformasjon, og vi får Thevenin-ekvivalenten som resultat:

$$v_{Th,hoeyre} = 5\text{k}\Omega \cdot 3\text{mA} = 15\text{V}, \quad R_{Th,hoeyre} = 5\text{k}\Omega$$

Den andre tidskonstanten blir da

$$\tau_{hoeyre} = 5\text{k}\Omega \cdot 3\mu\text{F} = 15\text{ms}$$

b) (5%) Beregn spenningen $v_{C1}(t)$ for tiden $t \geq 0$ (dvs med bryteren i posisjon B)..

LF:
Vi kan observere at $v_{C1}(t)$ må være identisk med $v_{C2}(t)$, og de to spenningene må videre være identisk med $v_{C_{ekv}}(t)$, dvs spenningen over erstatningskondensatorn som vi beregnet i (a). Da har vi et klassisk RC-problem (spenningen over en kondensator, som sitter i serie med en motstand R, og en spenningskilde), og vi trenger start- og sluttspenningene:

$$v_{C_{ekv}}^{start}(t) = v_{Th,venstre} = \frac{5}{3}\text{V}$$

$$v_{C_{ekv}}^{slutt}(t) = v_{Th,hoeyre} = 15\text{V}$$

Tidskonstanten, $\tau_{hoeyere}$, kjenner vi, så da gis $v_{C_{ekv}}(t)$ av standardformelen, oppgitt i eksamensbladet:

$$v_{C_{e}kv}(t) = 15\text{V} + \left[\frac{5}{3}\text{V} - 15\text{V}\right]\text{e}^{-t/0{,}015} = 15 - \frac{40}{3}\text{e}^{-t/0{,}015}\text{V}$$

c) (5%) Beregn strømmen i for tiden $t \geq 0$ (dvs med bryteren i posisjon B)..

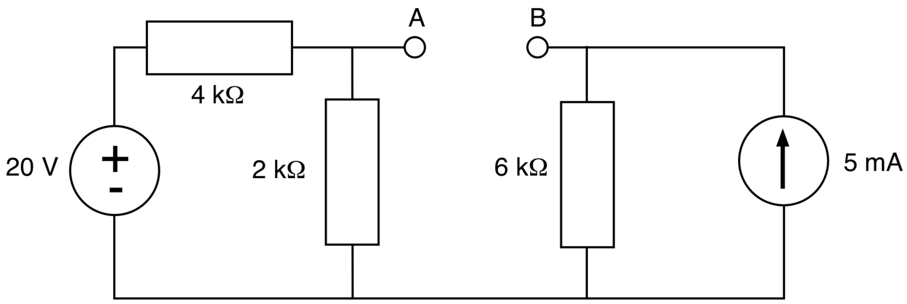
LF:
Vi kan enkelt finne strømmen (definert med pilen nedover slik at PFK blir oppfylt) gjennom den ekvivalente kondensatoren,

$$i_{C_{ekv}} = C_{ekv}\frac{dv_C}{dt} = 3\cdot 10^{-6}\frac{40}{3}\frac{1}{0{,}015}\mathrm{e}^{-t/0{,}015} = \frac{8}{3}\mathrm{e}^{-t/0{,}015}\mathrm{mA} \approx 2{,}67\mathrm{e}^{-t/0{,}015}\mathrm{mA}$$

Hvis vi da inspiserer originalkretsen, med strømkilden, så ser vi at den strømmen som vi søker, i, gis av Kirchhoffs strømlov:

$$i = \left(3 - \frac{8}{3}\mathrm{e}^{-t/0{,}015}\right)\mathrm{mA} \approx \left(3 - 2{,}67\mathrm{e}^{-t/0{,}015}\right)\mathrm{mA}$$

Oppgave 2 (15 %)



FIGUR 2 – Krets for oppgave 2a

a) (5%) Beregn Thevenin-ekvivalenten for kretsen i Figur 2, sett fra klemmene A og B.

LF:
Som vanlig finner vi R_{Th} ved å deaktivere kildene, og så beregne den ekvivalente resistansen sett fra klemmene. 20V-kilden erstattes med en kortslutning og 5mA-kilden erstattes med et avbrudd. Da blir

$$R_{Th} = 4\mathrm{k}\Omega//2\mathrm{k}\Omega + 6\mathrm{k}\Omega = \frac{4\cdot 2}{4+2}\mathrm{k}\Omega + 6\mathrm{k}\Omega = \frac{22}{3}\mathrm{k}\Omega \approx 7{,}33\mathrm{k}\Omega$$

LF:
Vi kan finne de to nodespenningen v_A og v_B med nodespenningsmetoden: vi innfører en referansenode lengst ned, og får da to ligninger, som går å løse direkte:

$$\frac{v_A - 20}{4000} + \frac{v_A}{2000} = 0 \Rightarrow v_A = \frac{20}{3}\text{V}$$
$$\frac{v_B}{6000} - 0{,}005 = 0 \Rightarrow v_B = 30\text{V}$$

Så da er

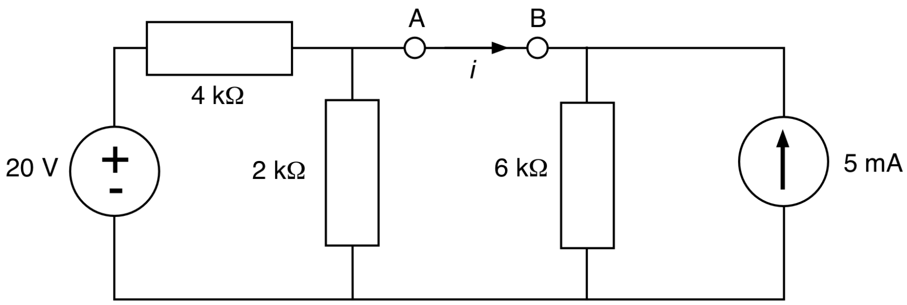
$$v_{Th} = v_A - v_B = \frac{20}{3} - 30 = -\frac{70}{3} \approx -23{,}33\text{V}$$

b) (5%) Hvis vi lager en kortslutning mellom A og B, som i Figur 3, hva blir strømmen i?

LF:
Korslutningsstrømmen er enkel å finne når vi har Thevenin-ekvivalenten:

$$i_{kort} = \frac{v_{Th}}{R_{Th}} = -\frac{70 \cdot 3}{3 \cdot 22 \cdot 10^3} = -\frac{35}{11}\text{mA} \approx -3{,}18\text{mA}$$

c) (5%) Med kortslutningen på plass, som i Figur 3, hva er effektene som leveres eller forbrukes av de to kildene?



FIGUR 3 – Krets for oppgave 2b og 2c

LF:
Vi trenger å finne strømmen gjennom spenningskilden, og spenningen over strømkilden. Vi bruker nodespenningsmetoden (NSM), med en eneste nodespenning som ukjent, v: den ved noden(e) over 2kΩ- og 6kΩ-motstandene. Da

gir NSM en ligning for v:

$$\frac{v-20}{4000}+\frac{v}{2000}+\frac{v}{6000}-0{,}005=0 \Rightarrow 3v-60+6v+2v=60$$

$$\Rightarrow v=\frac{120}{11}\text{V} \approx 10{,}9\text{V}$$

Strømkilden har spenningen 10,9 V over seg, og passive fortegnskonvensjonen (PFK) er ikke oppfylt, så da er

$$p_{forbrukt,5mA}=-10{,}9 \cdot 0{,}005\text{W} \approx -54{,}5\text{mW}$$

For spenningskilden så innfører vi strømmen i_{20V} som går inn ved -terminalen på 20V-kilden. Da kan vi bruke Kirchhoffs spenningslov i venstre sløyfen. Spenningen over 2 $k\Omega$-motstanden er jo lik nodespenningen v, så da får vi:

$$-20+4000 \cdot i_{20V}+v=0 \Rightarrow i_{20V}=\frac{20-v}{4000} \approx 2.27\text{mA}$$

PFK er heller ikke oppfylt for 20V-kilden, så

$$p_{forbrukt,5mA}=-20 \cdot 0{,}00227 \approx -45{,}5\text{mW}$$

De to kildene produserer/genererer altså sammen 100 mW.

Oppgave 3 (40%)

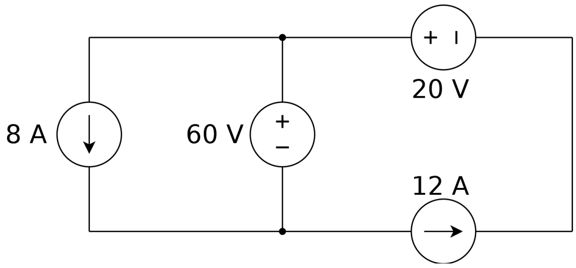
Nedenfor er gitt 10 spørsmål i form av 3 påstander eller svaralternativer A, B eller C. Bare en av påstandene er riktig. Kryss av for riktig svar A, B eller C i tabellen bak i oppgavesettet.
OBS! Tabellsiden må leveres inn som en del av besvarelsen!
Riktig svar gir 4 poeng, manglede svar gir 0 poeng, og galt svar gir -2 poeng. Flere svar på samme spørsmål regnes som manglende svar og gir 0 poeng. Ved feil utfyllt svar, fyll den feilsvarte ruten helt, og sett kryss i riktig rute.

3-1 Kretsen i Figur 4 består av fire uavhengige kilder der noen av kildene er forbrukere og noen er leverandører. Total levert effekt i denne kretsen er

A. $P = 480$ W

B. $P = 720$ W

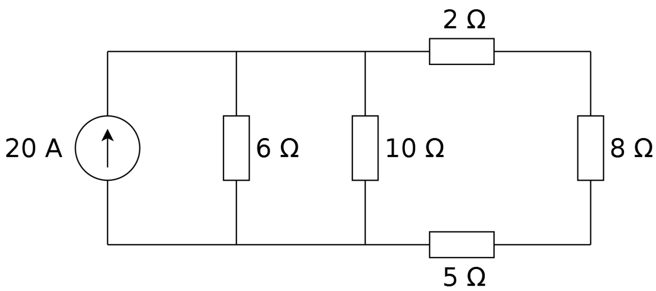
C. $P = 960$ W



FIGUR 4 – Krets for oppgave 3-1

LF:
Effekt i hver enkelt kilde blir:
8A - kilde: P = 8 x 60 = 480 W (forbruker)
60V – kilde: P = 4 x 60 = 240 W (forbruker)
20V – kilde: P = - 20 x 12 = - 240 W (leverandør)
12A – kilde: P = - 12 x 40 = - 480 W (leverandør)
Total effekt levert blir 240 W + 480 W = 720 W

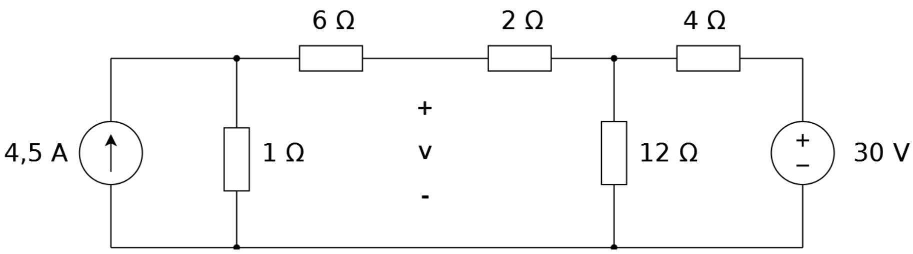
3-2 I kretsen vist i Figur 5 skal effekten omsatt i 5Ω-motstanden beregnes. Denne effekten er



FIGUR 5 – Krets for oppgave 3-2

A. 80 W
B. 120 W
C. 320 W

LF:
Motstandsnettverket sett fra spg-kilden: $R_{ekv} = ((2+8+5)\|10)\|6 = 3\Omega$
Spenning over strømkilden: $V = 20\text{ A} \cdot 3\Omega = 60\text{ V}$
Strømmen gjennom 5 Ω–motstanden : $I = \frac{60\text{ V}}{(2+8+5)\ \Omega} = 4\text{ A}$
Dermed blir omsatt effekt i 5 Ω-motstanden: $P = 5\Omega \cdot (4\text{ A})^2 = 80\text{ W}$.



FIGUR 6 – Krets for oppgave 3-3

3-3 I kretsen vist i Figur 6 kan du gjerne bruke nodespenningsmetoden for å vise at spenningen v blir

A. 9 V

B. 12 V

C. 15 V

LF:
Benytter nodespenningsmetoden og finner spenningen i node 1 og node 2:

Node 1: $-4{,}5 + \frac{V_1}{1} + \frac{V_1 - V_2}{8} = 0$

Node 2: $\frac{V_2 - V_1}{8} + \frac{V_2}{12} + \frac{V_2 - 30}{4} = 0$

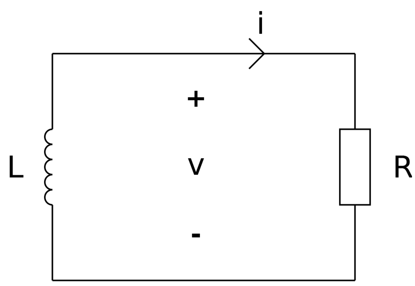
Dette gir $V_1 = 6$ V og $V_2 = 18$ V og dermed strømmen i (6Ω+ 2Ω)-grenen: $I = \frac{18-6}{8} = 1{,}5$ A

Spenningen V blir da: $V = 18 - 2 \cdot 1{,}5 = 15$ V

3-4 Spenning og strøm for kretsen vist i Figur 7 er gitt ved

$$v = 100\, \mathrm{e}^{-80t} \mathrm{V}, \text{for } t \geq 0 \quad og \quad i = 4\, \mathrm{e}^{-80t} \mathrm{A}, \text{for } t \geq 0$$

Induktansen for spolen må da være



FIGUR 7 – Krets for oppgave 3-4

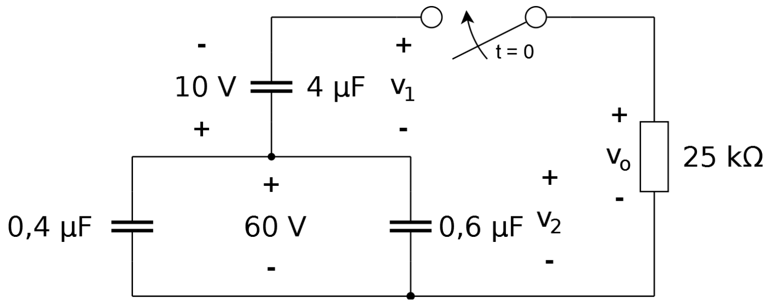
A. 0,5 mH

B. 312,5 mH

C. 2 H

LF:
Vi har at $R = \frac{v}{i} = \frac{100e^{-80t}}{4e^{-80t}} = 25\Omega$ der $\tau = \frac{1}{80} = 12{,}5$ ms
Dermed: $\tau = \frac{L}{R} = 12{,}5$ ms slik at $L = \tau \cdot R = 312{,}5$ mH

3-5 Kretsen vist i Figur 8 har startbetingelser som vist. Når bryteren lukkes ved tiden $t = 0$ vil spenningen v_0 over motstanden bli



FIGUR 8 – Krets for oppgave 3-5

A. $v_0(t) = 50\,\mathrm{e}^{-9{,}4t}$ V

B. $v_0(t) = 50\,\mathrm{e}^{-50t}$ V

C. $v_0(t) = 70\,\mathrm{e}^{-50t}$ V

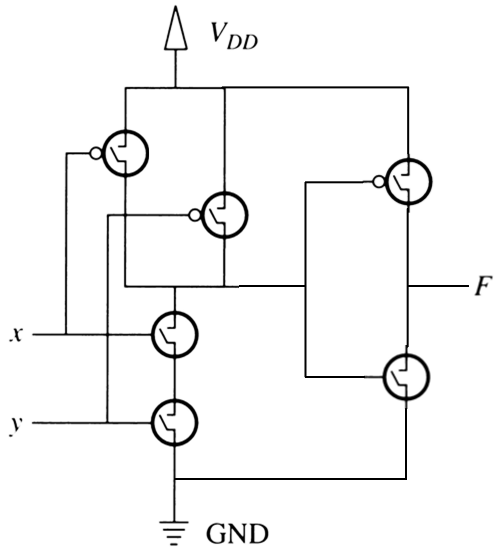
LF:
Ekvivalent kapasitans for de tre kondensatorene er $C_{ekv} = \dfrac{(0{,}4 + 0{,}6) \cdot 4}{(0{,}4 + 0{,}6) + 4} = 0{,}8\mu\mathrm{F}$
Startspenning på ekvivalent kondensator blir: $v_C(0) = (60 - 10) = 50$ V
Tidskonstanten blir: $\tau = R \cdot C_{ekv} = 20$ ms
Dermed: $v_0(t) = v_C = V_f + \left(v_C(0) - V_f\right) e^{\frac{-t}{\tau}} = 50e^{-50t}$

3-6 Hvilken type logisk port («gate») realiserer transistorkoblingen i figur 9?

A. OR-port

B. AND-port

C. NAND-port



FIGUR 9 – Krets for oppgave 3-6

LF:
De fire transistorene til venstre danner en NAND-port. Dette etterfølges av en inverter, hvilket til sammen gir en AND-port.

3-7 Gitt to 2's-komplement tall $A = 01010_2$ og $B = 10010_2$. Hvilket alternativ gjengir svaret av addisjonen A + B?

A. $\underline{-4_{10}}$

B. -12_{10}

C. $+28_{10}$

LF:
Siden vi opererer med 2's-komplement kan vi direkte legge samme tallene uten å tenke på hva som er fortegnsbit og tallverdibit. Det gir

$$\begin{aligned} & \ 10010 \\ & +\ 01010 \\ & =\ 11100 \end{aligned}$$

Som vi ser er dette et negativt tall. Vi kan finne det tilsvarende positive tallet ved å invertere hvert enkelt bit og legge til 1. Det gir

$$\begin{aligned} & \ 00011 \\ & +\ 00001 \\ & =\ 00100 \end{aligned}$$

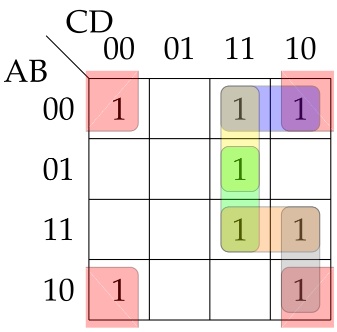
Resultatet av addisjonen er altså -4_{10}.

3-8 Gitt Karnughdiagrammet i figur 10. Hvilken av følgende påstander er IKKE korrekt?

A. Funksjonen har en (og bare en) essensiell primimplikant

B. Dersom en løsning inneholder alle de tre leddene BCD, ABC og $AC\bar{D}$, så inneholder løsningen redundans

C. $\underline{\bar{A}\bar{B}\bar{D} + A\bar{D}(C + \bar{B}) + (A + B)CD}$ er en minimal løsning på ikke-standard form



FIGUR 10 – Boolsk funksjon representert ved Karnaughdiagram

LF:
I Karnaughdiagrammet over er funksjonens primimplikanter tenget inn. Som vi ser er det bare to mintermer, 0 og 8, som bare er dekket av en primimplikant. De andre er dekket av to. Dermed er det bare primimplikanten bestående av de fire hjørnene, dvs. $\bar{B}\bar{D}$ som er essensiell. Følgelig er påstand A korrekt.

De tre leddene i påstand B svarer til den grønne, oransje og grå primimplikanten i Karnaugdiagrammet. Dersom alle disse tre leddene er med i løsningen dekker ikke den orange (BCD) noen mintermer som ikke også er dekket av en av de to andre. Følgelig er BCD redundant og påstand B er korrekt.

Dersom vi setter inn mintermene for $\bar{A}\bar{B}\bar{D} + A\bar{D}(C + \bar{B}) + (A + B)CD$ i Karnaughdiagrammet så vil vi se at minterm 3 mangler mens vi istedenfor har en med minterm 11. Dette er følgelig ikke en løsning på funksjonen og påstand C er ikke korrekt.

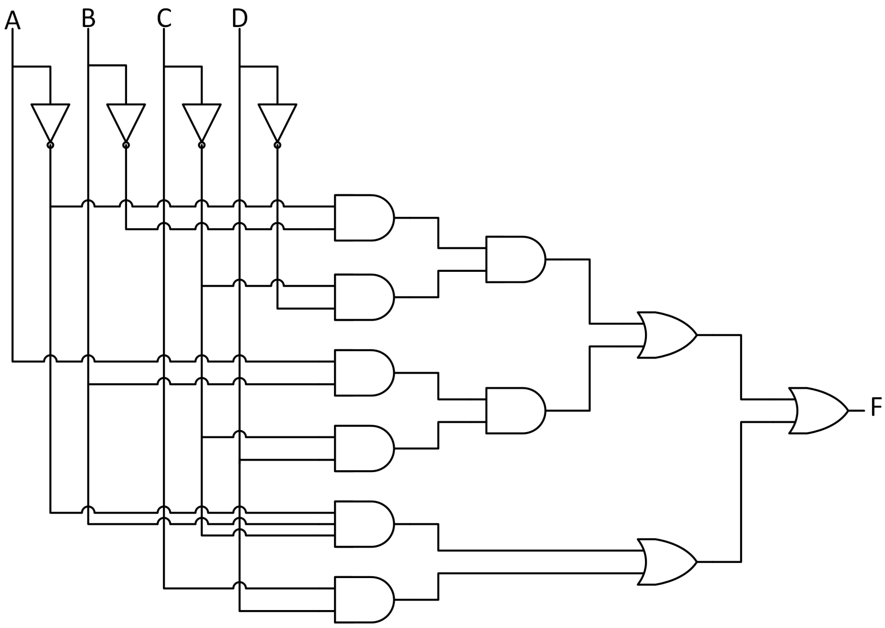
3-9 Simulering for test av funksjonaliteten til kretsen i figur 11 har avdekket en feil. Utgangen F skal alltid være 0 dersom det påtrykkes 0 både på A-inngangen og

B-inngangen. Resten av funksjonaliteten er korrekt og skal beholdes som den er. Hvilket alternativ angir en Boolsk funksjon der feilen er rettet og som forøvrig har beholdt den opprinnelige funksjonaliteten?

A. $F = AB\bar{C}D + \bar{A}B\bar{C} + CD$

B. $F = BD + \bar{A}B + ACD$

C. $F = BD + \bar{A}B\bar{C} + A\bar{B}CD$



FIGUR 11 – Krets for oppgave 3-9

LF:
Vi starter med å finne funksjonen F fra figuren. Den er
$F = \bar{A}\bar{B}\bar{C}\bar{D} + AB\bar{C}D + \bar{A}B\bar{C} + CD$
Vi setter så opp en sannhetstabell for denne funksjonen (se tabell 1), som vi kaller F_{feil}. Her ser vi at det er to tilfeller der F er 1 mens både A-inngangen og B-inngangen er 0. Det er tilfelle for minterm 0 og minterm 3. Vi endrer disse til 0 i vår nye korrigerte funksjon F_{rettet}. I samme sannhetstabell setter vi også inn for de tre alternative funksjonene. Vi ser da at det er funksjonen fra alternativ C, F_C, som er korrekt. Sammenliknet med F_{rettet} har F_A og F_B en ekstra 1 hver, henholdsvis minterm 4 og 7.

3-10 Anta at begge inngangene (A og B) på kretsen i figur 12 er lave (0) og at utgangen OUT er stabil på en verdi V som enten er høy eller lav (1 eller 0). I god tid før neste flanke på klokkesignalet CLK settes så både A og B høye (til 1). Hva blir resulterende verdi på utgangen OUT i etterkant av klokkeflanken?

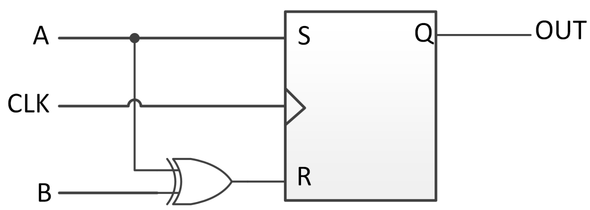
Minterm	A	B	C	D	F_{feil}	F_{rettet}	F_A	F_B	F_C
0	0	0	0	0	1	0	0	0	0
1	0	0	0	1	0	0	0	0	0
2	0	0	1	0	0	0	0	0	0
3	0	0	1	1	1	0	1	0	0
4	0	1	0	0	1	1	1	1	1
5	0	1	0	1	1	1	1	1	1
6	0	1	1	0	0	0	0	1	0
7	0	1	1	1	1	1	1	1	1
8	1	0	0	0	0	0	0	0	0
9	1	0	0	1	0	0	0	0	0
10	1	0	1	0	0	0	0	0	0
11	1	0	1	1	1	1	1	1	1
12	1	1	0	0	0	0	0	0	0
13	1	1	0	1	1	1	1	1	1
14	1	1	1	0	0	0	0	0	0
15	1	1	1	1	1	1	1	1	1

TABELL 1 – Sannhetstabell for krets i oppgave 3-9.

A. OUT = 0

B. OUT = 1

C. OUT = V (beholder verdien som sto på utgangen fra før).



FIGUR 12 – Krets for oppgave 3-10

LF:
Dette er en SR-vippe. Når begge inngangene (A og B) er høye ser vi at vippeinngang S er høy og vippeinngang R er lav (siden den er resultat av en XOR-operasjon mellom to høye signaler). SR-vippen vil da bli satt høy etter klokkeflanken (OUT = 1), og alternativ B er korrekt.

Oppgave 4 (30%)

a) (10%) Bruk tabellmetoden til å finne en irredundant dekning for følgende logiske funksjon:

$$F(A,B,C,D) = \sum(0,1,2,6,7,8,9,14)$$

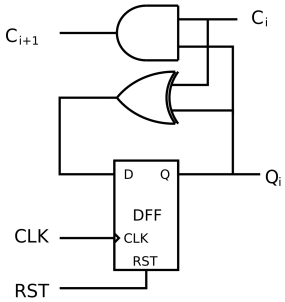
LF:
Finner først primimplikantene:

Subkube	Gruppe	Minterm	A	B	C	D	Dekket
1	G_0	(0)	0	0	0	0	✓
	G_1	(1)	0	0	0	1	✓
		(2)	0	0	1	0	✓
		(8)	1	0	0	0	✓
	G_2	(6)	0	1	1	0	✓
		(9)	1	0	0	1	✓
	G_3	(7)	1	1	1	1	✓
		(14)	1	1	1	0	✓
2	G_0	(0,1)	0	0	0	-	✓
		(0,2)	0	0	-	0	Nei
		(0,8)	-	0	0	0	✓
	G_1	(1,9)	-	0	0	1	✓
		(2,6)	0	-	1	0	Nei
		(8,9)	1	0	0	-	✓
	G_2	(6,7)	0	1	1	-	Nei
		(6,14)	-	1	1	0	Nei
3	G_0	(0,1,8,9)	-	0	0	-	Nei

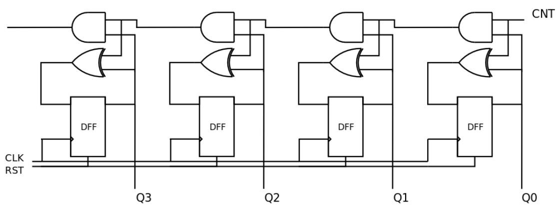
Finner så minimal dekning med disse 5 primimplikantene:

			0	1	2	6	7	8	9	14
P_1	$\bar{A}\bar{B}\bar{D}$	(0,2)	x		x					
P_2	$\bar{A}C\bar{D}$	(2,6)			x	x				
P_3	$\bar{A}BC$	(6,7)				x	x			
P_4	$BC\bar{D}$	(6,14)				x				x
P_5	$\bar{B}\bar{C}$	(0,1,8,9)	x	x				x	x	
			0	1		6	7	8	9	14

$\bar{A}BC + BC\bar{D} + \bar{B}\bar{C}$ er de essentielle primimplikantene. I tillegg må man velge en av de andre for å få dekket minterm 2, dvs. enten $\bar{A}BC + BC\bar{D} + \bar{B}\bar{C} + \bar{A}\bar{B}\bar{D}$ eller $\bar{A}BC + BC\bar{D} + \bar{B}\bar{C} + \bar{A}C\bar{D}$, begge er like gode som minimale (irredundante) dekninger.



(A) 1-bit teller-modul



(B) Krets for teller med 1-bit moduler

C_i	Q_i	C_{i+1}	D_i
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

(C) Halvadderer sannhetstabell

FIGUR 13 – 4-bit teller

b) (10%)

Figur 13b viser en 4-bit teller basert på 1-bit modulen vist i Figur 13a). Denne modulen realiserer sannhetstabellen for en halvadderer som vist i Figur 13c), og når signalet CNT er 1 vil dette inkrementere verdien i telleren hver klokke siden CNT er mente inn (C_0)for halvadderer-kjeden.

Du skal modifisere telleren i Figur 13 til en 4-bit opp/ned-teller som styres av signalet UD som når det er 0 betyr oppover-telling og 1 nedover-telling. Telleren har klokke-signal CLK, og reset-signal RST. RST er nå endret slik at når UD er 0 setter telleren til 0000 (RESET) og når UD er 1 setter telleren til 1111 (PRESET). Du kan gå ut fra at hvert bit er lagret i en D-vippe DFF som har CLK-inngang, D-inngang, RESET-inngang og i tillegg til den brukt i opp-telleren en ekstra PRESET-inngang. Signalene RST, RESET og PRESET er alle aktivt høye. Det vil si at reset/preset skal skje når de tar verdien 1. Vippa har utganger Q (lagret bit) og i tillegg QB (invertert av lagret bit) hvis nødvendig. Utgangene Q_i for i=0 til 3 skal til enhver tid representere verdien på telleren som før.

Merk at CNT-signalet ikke skal brukes lenger, men at signalet UD erstatter dette med å styre henholdsvis opp eller ned-telling.

Du skal nå realisere opp/ned-telleren ved først å implementere nedover-telling:

- Lag sannhetstabell for nedovertelling med signalene C_{i+1} og D_i som en funksjon av Q_i og C_i for en enkelt bit-modul.

LF:
Sannhetstabell for nedovertelling:

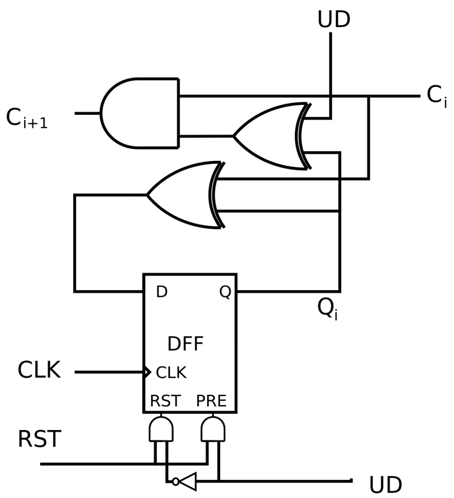
C_i	Q_i	C_{i+1}	D_i
0	0	0	0
0	1	0	1
1	0	1	1
1	1	0	0

TABELL 2 – Sannhetstabell for «halv-subtraherer»

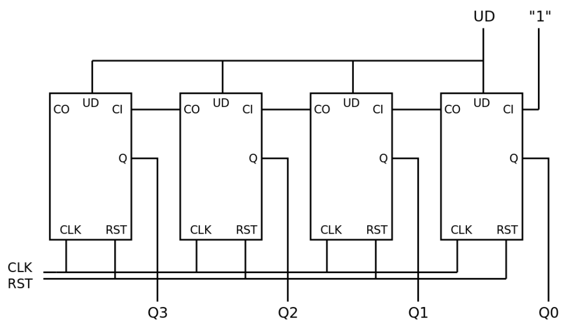
- Finn et logisk uttrykk for C_{i+1} og D_i og forenkle disse hvis mulig.

LF:
Fra sannhetstabell over får vi at $D_i = C_i \oplus Q_i$ uansett verdi på UD, mens $C_{i+1} = C_i Q_i$ når UD er 0 og $C_{i+1} = C_i \bar{Q}_i$ når UD er 1, dvs. $C_{i+1} = C_i Q_i \overline{UD} + C_i \bar{Q}_i UD = C_i(Q_i \oplus UD)$.

- Lag og tegn skjema for en enkelt bit-modul og vis hvordan denne skal kobles sammen med signalene CLK, RST og C_i. Modulen skal inneholde både oppover-telling som i Figur 13 og nedovertelling. Bruk signalet UD til å velge opp- eller ned-telling. Komponenter for bruk finnes i Tabell 4. Prøv å finne en effektiv bruk av komponenter mhp. antall komponenter og forsinkelse i kretsen.



(A) 1-bit opp/ned teller-modul



(B) 4-bit opp/ned teller samlet

FIGUR 14 – Skjema for opp/ned-teller

LF:
Figur 14a viser realisering av den nye C_{i+1}-funksjonen med UD som opp/ned-styresignal. I tillegg er RST-signalet koblet til både Reset og Preset-inngangene på DFF-vippa slik at den resettes ved UD=0 og presettes ved UD=1.

I Figur 14b vises hvordan man setter 1-bit moduler sammen til en 4-bit opp/ned-teller. Legg merke til at C_{in} på LSB er koblet til logisk 1 for å tvinge telling til enhver tid, enten opp eller ned som styrt av UD.

c) (5%)

Opp/ned-telleren fra forrige deloppgave skal nå utvides til å kunne telle bare oddetall eller partall styrt av signalene O og E. Hvis O=E=0 telles det vanlig som i forrige oppgave, hvis O=1 telles det bare oddetall, mens hvis E=1 telles bare partall. Du kan gå ut fra at tilfellet O=E=1 aldri skal kunne forefinnes, og du kan dermed forenkle de logiske uttrykkene basert på disse ved å betrakte dette som en «dont-care»-betingelse.

- Lag sannhetstabell for signalene C_{i+1} og D_i som en funksjon av UD, Q_i og C_i, og ta nå hensyn til verdien på signalene O og E. Det kan være lurt å betrakte i=0 for seg som et tilfelle, og i=1 til 3 som et annet.
  HINT: For i=0 er mente inn (C_0) alltid 1. For i=1 til 3 kan du tenke over hvor stor endring det blir fra oppgave 4 b).

  LF:
  Når UD=0 og O=E=0 er sannhetstabellen som den gitt i Figur 13c, dvs. normal oppovertelling for alle 4 bit.

  Når UD=1 og O=E=0 er sannhetstabellen som den gitt i Tabell 2, dvs. normal nedovertelling for alle 4 bit.

  Når UD=0, O=1 og E=0 har vi oppovertelling for de tre mest signifikante bit (dvs. bit 1 til 3 teller som en 3-bit oppoverteller), mens bit 0 er fast «1».

  Når UD=1, O=1 og E=0 har vi nedovertelling for de tre mest signifikante bit (dvs. bit 1 til 3 teller som en 3-bit nedoverteller), mens bit 0 er fast «1».

  Når UD=0, O=0 og E=1 har vi oppovertelling for de tre mest signifikante bit (dvs. bit 1 til 3 teller som en 3-bit oppoverteller), mens bit 0 er fast «0».

  Når UD=1, O=0 og E=1 har vi nedovertelling for de tre mest signifikante bit (dvs. bit 1 til 3 teller som en 3-bit nedoverteller), mens bit 0 er fast «0».

  Sannhetstabellen er i Tabell 3, har her benyttet kunnskapen om de nødvendige logiske funksjoner vi allerede kjenner til å forenkle tabellen.

- Finn et logisk uttrykk for C_{i+1} og D_i og forenkle disse hvis mulig, gjerne i=0 for seg.

O	E	UD	C_i	Q_i	$C_{i+1(4\text{-}2)}$	$C_{i+1(1)}$	$D_{i(3\text{-}1)}$	$D_{i(0)}$
0	0	0	X	X	C_iQ_i		$C_i \oplus Q_i$	
0	0	1	X	X	$C_i\bar{Q}_i$		$C_i \oplus Q_i$	
0	1	0	X	X	C_iQ_i	1	$C_i \oplus Q_i$	0
0	1	1	X	X	$C_i\bar{Q}_i$	1	$C_i \oplus Q_i$	0
1	0	0	X	X	C_iQ_i	1	$C_i \oplus Q_i$	1
1	0	1	X	X	$C_i\bar{Q}_i$	1	$C_i \oplus Q_i$	1
1	1	X	X	X	X	X	X	X

TABELL 3 – O/E og UD modifisert sannhetstabell

LF:
Fra forrige finner vi at for de tre msb'ene trenger vi bare å supplere C_1 slik at den alltid er 1 når O eller E er 1, ellers skal den være den samme som tidligere. For bit 0 kan vi supplere utgangen slik at den blir fast 0 hvis E=1 og fast 1 hvis O=1, og samme som før hvis O=E=0. Siden O=E=1 aldri skal skje, så kan vi bruke (O+E) uten problem. Oppsummert:

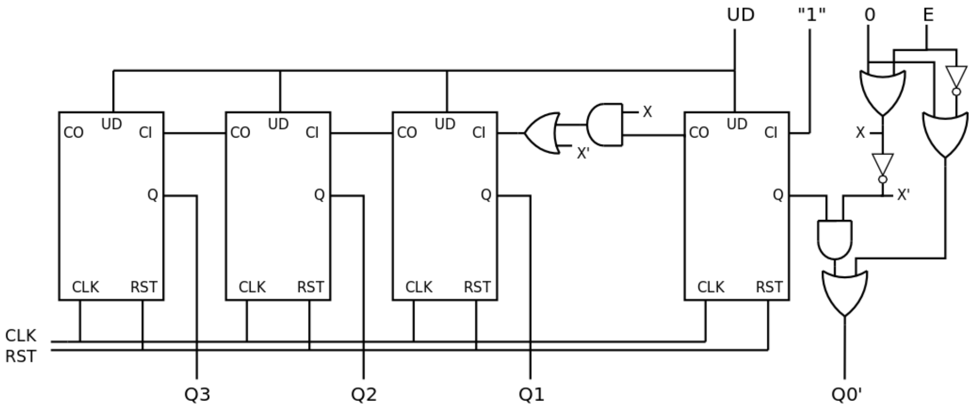
$$C_1' = \bar{O}\bar{E}C_1 + (O+E) = \overline{(O+E)}C_1 + (O+E)$$
$$Q_0' = \bar{O}\bar{E}Q_0 + (O+\bar{E}) = \overline{(O+E)}Q_0 + (O+\bar{E})$$

- Lag og tegn skjema for bit 0-modulen og en av de andre bit-modulene og vis hvordan disse skal kobles sammen med signalene CLK, RST og C_i. Komponenter for bruk finnes i Tabell 4. Prøv å finne en effektiv bruk av komponenter mhp. antall komponenter og forsinkelse i kretsen.
- Tegn hele telleren der den enkelte bit-modul er en boks med inn- og utganger men uten «innmat». Vis hvordan modulene kobles sammen med hverandre og med signalene CLK og RST.

LF:
Figur 15 viser hvordan kretsen kan inkludere O/E-funksjonaliteten basert på ligningene over. Her er det vist som modifikasjon av Q_0 og C_i. En annen mulighet er selvsagt å legge disse delene inn i kretsen for LSB. Resultatet blir det samme. Legg merke til at signalene X og X' er innført for å slippe å tegne inn for mange ledninger på kryss og tvers.

d) (5%)

Finn kritisk sti for hele telleren i oppgave 4c), og beregn forsinkelse i denne. Hvis du ikke har fått gjort 4c) kan du ta utgangspunkt i 4b) i stedet.



FIGUR 15 – 4-bit opp/ned-teller med odde/partall-funksjon

Funksjon	Navn	Innganger	Utganger	Forsinkelse i nS
Bit-komplement	INV	1	1	1,2
OG-funksjon	AND2	2	1	3,6
Komplementert OG-funksjon	NAND2	2	1	2,4
ELLER-funksjon	OR2	2	1	3,6
Komplementert ELLER-funksjon	NOR2	2	1	2,4
Eksklusiv ELLER-funksjon	XOR2	2	1	4,6
Multiplekser 2:1	MUX2	2	1	4,8
Multiplekser 4:1	MUX4	4	1	9,6
D-vippe	DFF	4	2	4,4

TABELL 4 – Tilgjengelige komponenter. DFF har både D, CLK, RESET og PRESET inn, og Q samt QB (Q invertert) ut.

LF:
Kritisk sti fra DFF-utgang til DFF-inngang blir fra Q_0, C_1, C_1', C_2, C_3, og inn til D_3. Dette blir en forsinkelse gjennom 3 AND2, 1 OR2, og 2 XOR2. Da blir $T_{PD_{kritisk}} =$ 23,6 ns, og maksimal klokkefrekvens blir:

$$f_{max} = \frac{1}{T_{PD_{kritisk}} + T_{PD_{DFF}} + T_{setup_{DFF}}} = \frac{1}{23{,}6\text{ ns} + 4{,}4\text{ ns} + ??} \leq \frac{1}{28{,}0\text{ ns}} = 35{,}7\text{ MHz}$$

Verdien på $T_{setup_{DFF}}$ var dessverre falt ut av oppgavesettet, så der godtar vi alt.